

2881 B

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 147268.00285

Group Art Unit: )

Examiner: )

Inventors: Ming-Chung Liang, et al. )

Serial No. 09/894,216 )

Filed: June 28, 2001 )

For: INSPECTION METHOD TO )  
CHECK CONTACT HOLE )  
OPEN AFTER CONTACT )  
ETCHING )

CLAIM OF  
PRIORITY  
AND  
TRANSMITTAL OF  
PRIORITY  
DOCUMENT

RECEIVED

NOV 13 2001

TECHNOLOGY CENTER 280

Box Issue Fee  
Hon. Commissioner of Patents  
and Trademarks  
Washington, D.C. 20231

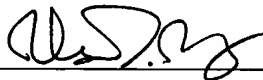
DI9/PRE-EXAM PROCESSING  
DHCD/DISE TEMPORARY  
CENTRAL FILES

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner of Patents and Trademarks, Washington, D.C. 20231 on

July 30, 2001.

By



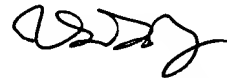
Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim priority from Taiwan Patent Application No. 09111196 filed May 10, 2001. A certified copy of this application is submitted herewith.

If Applicants have overlooked the payment of any necessary fees in connection with this matter, the Commissioner is hereby authorized to charge same to Deposit Account No. 50-1682.

Approval and entry of this Priority Document is hereby respectfully requested.

Respectfully submitted,

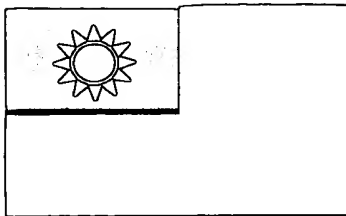


Thomas T. Moga  
Registration No. 34,881  
Attorney for Applicants

POWELL, GOLDSTEIN, FRAZER & MURPHY LLP  
P.O. Box 97223  
Washington, D.C. 20090-7223  
(202) 347-0066

Dated: July 30, 2001

TTM/cee  
Enclosures



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

#2  
D. 504  
2-7-02

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2001 年 05 月 10 日  
Application Date

申 請 案 號：090111196  
Application No.

申 請 人：旺宏電子股份有限公司  
Applicant(s)

局 長  
Director General

陳 明 邦

發文日期：西元 2001 年 7 月 14 日  
Issue Date

發文字號：09011009986  
Serial No.

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

# 發 明 專 利 說 明 書

一、發明 <del>新</del> 名稱	中 文	快閃記憶胞之浮置閘極製程
	英 文	
二、發明 <del>創作</del> 人	姓 名	一、邱宏裕 二、蘇俊聯 三、呂文彬
	國 籍	一、中華民國 二、中華民國 三、中華民國
	住、居所	一、高雄市苓雅區武義街 42 號 二、台南縣善化鎮中正路 479 號 三、宜蘭市泰山路 86 巷 8 弄 86 號
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中 華 民 國
	住、居所 (事務所)	新竹科學工業園區新竹市力行路 16 號
	代 表 人 姓 名	胡 定 華

裝

訂

線

四、中文發明摘要(發明之名稱: )

## 快閃記憶體之浮置閘極製程

一種快閃記憶體之浮置閘極製程，係為使記憶體(Cell)的平坦化效果得以達成，其基本概念在於利用濺鍍蝕刻或乾蝕刻等技術，來蝕刻多晶矽閘極和高密度電漿氧化層，以定義浮置閘極。在本發明製程中，並不形成氮化矽，因而可以簡化製程，並避免氮化矽所可能帶來的不利影響。

英文發明摘要(發明之名稱: )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( )

發明背景：

### 發明範疇

本發明係有關一種半導體製程，特別是有關於一種快閃記憶胞之浮置閘極製程。

第 1A 圖至第 1B 圖繪示習知的一種浮置閘極製程的流程剖面示意圖。請參閱第 1A 圖，其中具有一個多晶矽閘極 112(poly gate)。這個多晶矽閘極 112 上會形成有一層氮化矽 110(nitride)。這層氮化矽 110 可在後續製程的平坦化步驟發揮作用，以作為硬罩幕(hard mask)。然而，氮化矽層 110 有其缺點，第一，氮化矽層 110 在後續製程中需要靠熱磷酸將其移除，如此就多了一個製程步驟。第二，氮化矽層 110 會帶來(induce)一些缺陷(defect)問題，也比較會吸引一些移動離子(mobile ions)。

請繼續參閱第 1A 圖，上述平坦化步驟的作法之一，是先基底 100 沈積高密度電漿(HDP)氧化層 104，其與氮化矽層 110 之間最薄的地方 120 厚度大約是 500 埃。從剖面上看來，HDP 氧化層 104 的特徵之一，在於其於氮化矽層 110 上面會有一突起部 108。這個突起部 108 對平坦化製程相當不利，因此也是習知製程中有待克服的問題。

請參閱第 1B 圖，應注意的是，為了要移除高密度電漿氧化層 104(第 1A 圖)內的氮化矽層 110，我們要先進行一道

## 五、發明說明 ( )

浸泡(dip)動作，將內部的氮化矽層 110 露出來，以利使用熱磷酸將氮化矽層 110 移除。值得一提的是，這種用熱磷酸來移除氮化矽的浸泡動作費時甚久，約兩個小時左右。而且，浸泡之後，尚須進行清洗(clean)步驟，費時將更久。

此外，試想，浸泡時間要約兩小時，表示氮化矽層 110 的厚度很厚。一般而言，習知的多晶矽圖案 112 厚度約 1000 埃，而氮化矽層 110 厚度則約 1900 埃，幾乎是多晶矽圖案 112 厚度的兩倍，因而會產生應力(stress)問題。所謂應力問題，係指氮化矽的應力，易在後續熱回火(thermal anneal)製程中釋放(enhance)出來，使得多晶矽圖案底下的通道區 122(位在基底 100 表面)發生拉扯。利用穿透式電子顯微鏡(Transmission Electronic Microscope; TEM)，我們可以看到因這種拉扯動作使通道區 122 產生的撕裂痕跡。

綜上所述，現有技術的缺點大致有二：

1. 由於需要濕式蝕刻進行高密度電漿氧化層和氮化矽層的移除動作，容易引發缺陷(defect)問題。
2. 氮化矽存在有應力等問題，並且會使製作成本提高。

發明目的及簡單說明：

本發明的目的之一，在於實施一種新的快閃記憶體平坦化製程。其中，我們製作一種三維(3-D)立體的浮置閘極，以使得該快閃記憶體得以取得較大的閘極藕合比(Gate Coupling Ratio; GCR)。由於我們在製程中，並未進行氮化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

矽沈積步驟，因此不會有氮化矽應力問題。此外，在本發明中，我們亦不須使用熱磷酸去除氮化矽，因而製程成本得以降低。再者，由於不須進行氮化矽移除步驟，因此得以簡化製程步驟，並使成本降低。更且，由於不須使用濕蝕刻等步驟進行高密度電漿氧化層與氮化矽層的移除動作，因此本發明得以避免通道區缺陷問題與可靠度等問題。

為達成本上述或其他目的，本發明提供一種快閃記憶體之浮置閘極製程。首先，在一基底上形成一第一多晶矽圖案。接著，在基底上沈積高密度電漿氧化層覆蓋第一多晶矽圖案，其中高密度電漿氧化層在第一多晶矽圖案上形成有三角塊。然後，進行一濺鍍蝕刻步驟，以移除三角塊，並部分移除高密度電漿氧化層，使其高度低於第一多晶矽圖案，同時使第一多晶矽圖案頂部圓弧化。之後，在基底上形成一第二多晶矽圖案覆蓋第一多晶矽圖案，其中第二多晶矽圖案寬於第一多晶矽圖案。

根據本發明較佳實施例，上述高密度電漿氧化層沈積步驟與濺鍍蝕刻步驟可在同一個反應室中進行。

此外，就另一角度來說，本發明可說是提供了一種不形成氮化矽的浮置閘極製程。首先，在一基底上形成一第一多晶矽圖案。接著，在一第一反應室中，於基底上沈積一高密度電漿氧化層，以覆蓋第一多晶矽圖案。之後，在一第二反應室中，以乾蝕刻的方式，蝕刻高密度電漿氧化層和第一多晶矽圖案，以部分移除高密度電漿氧化層和第一

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明( )

多晶矽圖案，使第一多晶矽圖案頂部圓弧化。然後，在基底上形成一第二多晶矽圖案，其中第二多晶矽圖案寬度寬於第一多晶矽圖案，且其中第二多晶矽圖案與第一多晶矽圖案共同作為浮置閘極。

應用本發明可使製程更穩定，並且容易控制。此外，本發明製程步驟較少，並且沒有氮化矽產生的應力問題。更且，本發明可解決習知製程的缺陷(defect)問題。

圖式簡單說明：

第 1A 圖至第 1B 圖繪示習知的一種浮置閘極製程的流程剖面示意圖；以及

第 2A 圖至第 2C 圖繪示根據本發明較佳實施例，一種浮置閘極的製程流程剖面圖。

圖式標記說明：

100：基底

104：高密度電漿氧化層

108：突起部

110：氮化矽層

112：多晶矽閘極(多晶矽圖案)

114：經蝕刻後的高密度電漿氧化層

120：高密度電漿氧化層表面與氮化矽層之間最薄的地方

## 五、發明說明( )

122：通道區(基底表面)

200：基底

202：第一多晶矽圖案

204：HDP 氧化層

208：突起部

212：具有圓頂的第一多晶矽圖案

214：被蝕刻後的 HDP 氧化層

216：第二多晶矽圖案

發明詳細說明：

第 2A 圖至第 2C 圖繪示根據本發明較佳實施例，一種浮置閘極的製程流程剖面圖。請參閱第 2A 圖，在本發明製程中，我們不形成發明背景中所述的氮化矽層。更仔細地說，我們先在基底 200 上形成第一多晶矽圖案 202，厚度較習知多晶矽圖案為厚，但不形成氮化矽層。由於沒有氮化矽層，因而也就不須要熱磷酸來進行氮化矽移除步驟。而且，沒有氮化矽層，也就不會產生習知的應力問題。

接著，該製程仍先利用高密度電漿技術(High Density Plasma；HDP)技術在基底 200 上沈積高密度電漿(HDP)氧化層 204(HDP oxide layer)，以覆蓋上述第一多晶矽圖案 202。從剖面上看來，HDP 氧化層 204 的特徵之一，在於其於第一多晶矽圖案 202 頂部會有一突起部 208。這個突起部 208 對產品的平坦化相當不利，因此仍是我們必須面對的問題。

## 五、發明說明( )

為此，我們用濺鍍蝕刻(sputter etch)的方式，將該第一多晶矽圖案 202(第 2A 圖)頂部刻成圓頂狀，並使 HDP 氧化層 214 的高度略低於第一多晶矽圖案 212。應注意的是，這裡蝕刻是用例如氬氣(Argon)等氣體電漿所進行的，它對不同材質的蝕刻能力沒有什麼差別，因此 HDP 氧化層 214 和多晶矽 212 都會被它部分(partially)蝕刻。當然，這時具有圓頂的第一多晶矽圖案 212 厚度會比原來薄一點，但這樣的作法可去除不利於平坦化的突起部 208(第 2A 圖)。

上述濺鍍蝕刻可以有兩種作法。它可以在沈積 HDP 氧化層的反應室(chamber)中當場進行(in-situ)，因為 HDP 氧化層的沈積反應室一般也可以用來進行蝕刻。或者，在 HDP 氧化層製作完後，再將該基底移至另一反應室中進行乾蝕刻(ex-situ)。

應注意的是，這裡的濺鍍蝕刻費時也不過十幾分鐘，而且一個濺鍍蝕刻機台可有好幾個反應室同時處理。因此，和習知熱磷酸浸泡動作的兩小時比起來，濺鍍蝕刻實在快速許多。

之後，再於基底 200 上形成一層多晶矽層(未全部繪示)覆蓋第一多晶矽圖案 212，並加以圖案化，以形成第二多晶矽圖案 216，以和第一多晶矽圖案 212 共同作為浮置閘極。該第二多晶矽圖案 216 寬於第一多晶矽圖案 212。從上面看下來，只能看到第二多晶矽圖案 216。這種複合式浮置閘極可說是一種具有三度立體結構(3-D)的浮置閘極，其可有較

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

大的表面積，藉以提高閘極藕合比(Gate Coupling Ratio；GCR)。後續如氧氮氧(ONO)隔離層等快閃記憶體製程，熟習該項技術者當可輕易完成，於此不再贅述。

與現有技術比較，本發明至少有優點如下：

1. 製程更穩定，並且容易控制。
2. 製程步驟較少，並且沒有氮化矽產生的應力問題。
3. 習知製程的缺陷問題得以解決。

本發明以較佳實施例說明如上，僅用於藉以幫助了解本發明之實施，非用以限定本發明之精神。例如，本發明不僅可應用在快閃記憶體製程中，其他產品例如單幕式唯讀記憶體(Mask ROM)與其他埋入式位元線等產品，也都可以使用本發明製程。而熟悉此領域技藝者於領悟本發明之精神後，在不脫離本發明之精神範圍內，當可作些許更動潤飾及等同之變化替換，其專利保護範圍當視後附之申請專利範圍及其等同領域而定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1. 一種快閃記憶胞之浮置閘極製程，包括下列步驟：

在一基底上形成一第一多晶矽圖案；

在該基底上沈積高密度電漿氧化層覆蓋該第一多晶矽圖案，其中該高密度電漿氧化層在該第一多晶矽圖案上形成有三角塊；

進行一濺鍍蝕刻步驟，以移除該三角塊，並部分移除該高密度電漿氧化層，使其高度低於該第一多晶矽圖案，同時使該第一多晶矽圖案頂部圓弧化；以及

在該基底上形成一第二多晶矽圖案覆蓋該第一多晶矽圖案，其中該第二多晶矽圖案寬於該第一多晶矽圖案。

2. 如申請專利範圍第 1 項所述之快閃記憶胞之浮置閘極製程，其中該高密度電漿氧化層沈積步驟是在一反應室中進行。

3. 如申請專利範圍第 2 項所述之快閃記憶胞之浮置閘極製程，其中該濺鍍蝕刻步驟可在該反應室中進行。

4. 如申請專利範圍第 1 項所述之快閃記憶胞之浮置閘極製程，其中該第二多晶矽圖案的形成方法更包括：

在該基底上形成一多晶矽層覆蓋該第一多晶矽圖案；以及

將該多晶矽層圖案化。

5. 一種半導體製程，包括下列步驟：

## 六、申請專利範圍

在一基底上形成一第一多晶矽圖案；

在一第一反應室中，於該基底上沈積高密度電漿氧化層覆蓋該第一多晶矽圖案，其中該高密度電漿氧化層在該第一多晶矽圖案上形成有三角塊；

在一第二反應室中，進行一乾蝕刻步驟，以移除該三角塊，並部分移除該高密度電漿氧化層，使其高度低於該第一多晶矽圖案，同時使該第一多晶矽圖案頂部圓弧化；以及

在該基底上形成一第二多晶矽圖案覆蓋該第一多晶矽圖案，其中該第二多晶矽圖案寬於該第一多晶矽圖案，且其中該第二多晶矽圖案與該第一多晶矽圖案共同作為一浮置閘極。

6. 如申請專利範圍第 5 項所述之半導體製程，其中該第二多晶矽圖案的形成方法更包括：

在該基底上形成一多晶矽層覆蓋該第一多晶矽圖案；以及

將該多晶矽層圖案化。

7. 一種不形成氮化矽的浮置閘極製程，包括下列步驟：

在一基底上形成一第一多晶矽圖案；

在該基底上沈積一高密度電漿氧化層，以覆蓋該第一多晶矽圖案；

以濺鍍蝕刻的方式，蝕刻該高密度電漿氧化層和該第一多晶矽圖案，以部分移除該高密度電漿氧化層和該第一多晶矽圖案，使該第一多晶矽圖案頂部圓弧化；

## 六、申請專利範圍

在該基底上形成一多晶矽層覆蓋該第一多晶矽圖案；以及

將該多晶矽層圖案化，以形成第二多晶矽圖案，其中該第二多晶矽圖案寬度寬於該第一多晶矽圖案，且其中該第二多晶矽圖案與該第一多晶矽圖案共同作為浮置閘極。

8. 如申請專利範圍第 7 項所述之不形成氮化矽的浮置閘極製程，其中該高密度電漿氧化層沈積步驟是在一反應室中進行。

9. 如申請專利範圍第 8 項所述之不形成氮化矽的浮置閘極製程，其中該濺鍍蝕刻步驟可在該反應室中進行。

10. 一種不形成氮化矽的浮置閘極製程，包括下列步驟：

在一基底上形成一第一多晶矽圖案；

在一第一反應室中，於該基底上沈積一高密度電漿氧化層，以覆蓋該第一多晶矽圖案；

在一第二反應室中，以乾蝕刻的方式，蝕刻該高密度電漿氧化層和該第一多晶矽圖案，以部分移除該高密度電漿氧化層和該第一多晶矽圖案，使該第一多晶矽圖案頂部圓弧化；

在該基底上形成一第二多晶矽圖案，其中該第二多晶矽圖案寬度寬於該第一多晶矽圖案，且其中該第二多晶矽圖案與該第一多晶矽圖案共同作為浮置閘極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

11. 如申請專利範圍第 10 項所述之不形成氮化矽的浮置閘極製程，其中該第二多晶矽圖案的形成方法更包括：

在該基底上形成一多晶矽層；以及

將該多晶矽層圖案化。

(請先閱讀背面之注意事項再填寫本頁)

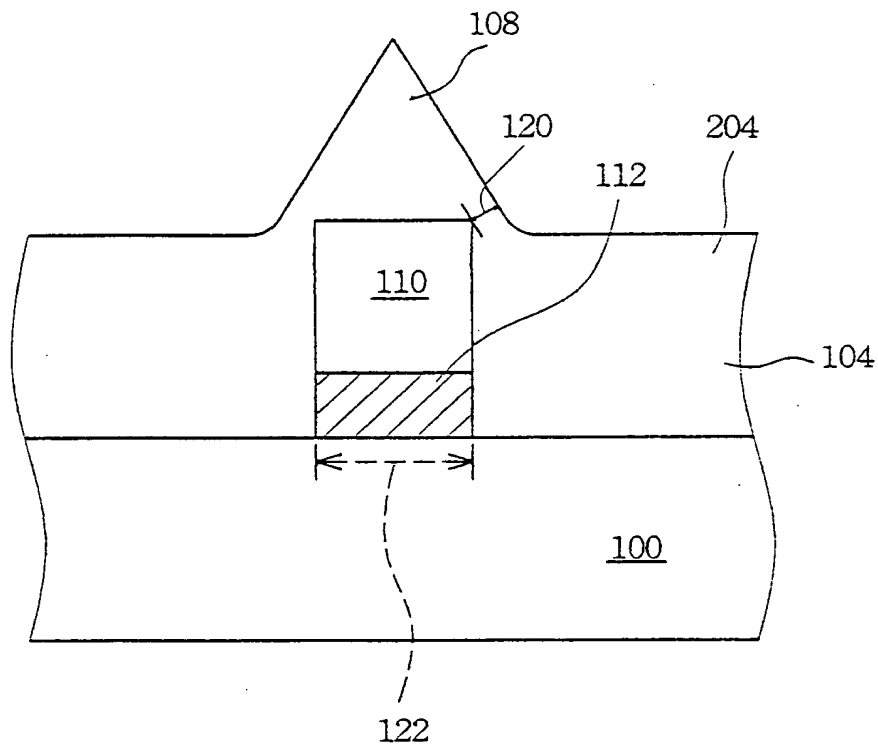
裝

訂

線



圖式



第 1A 圖

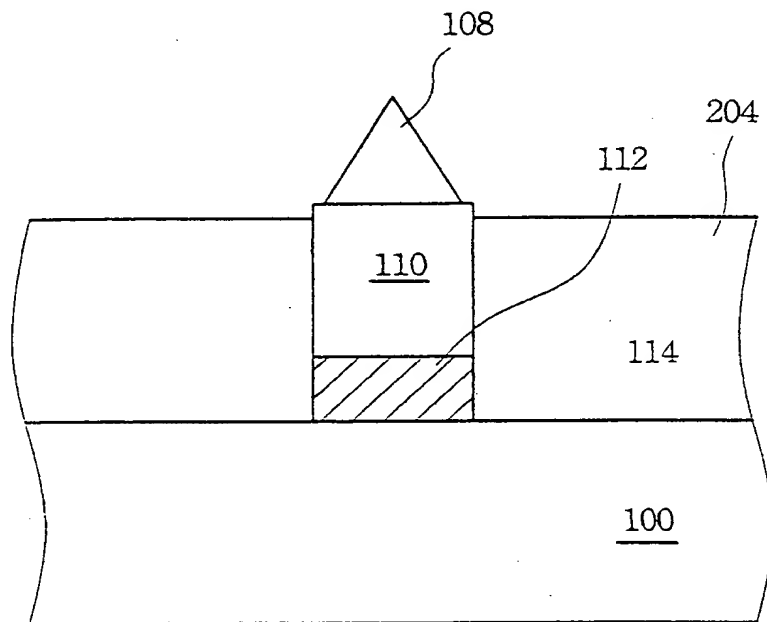
(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式



第 1B 圖

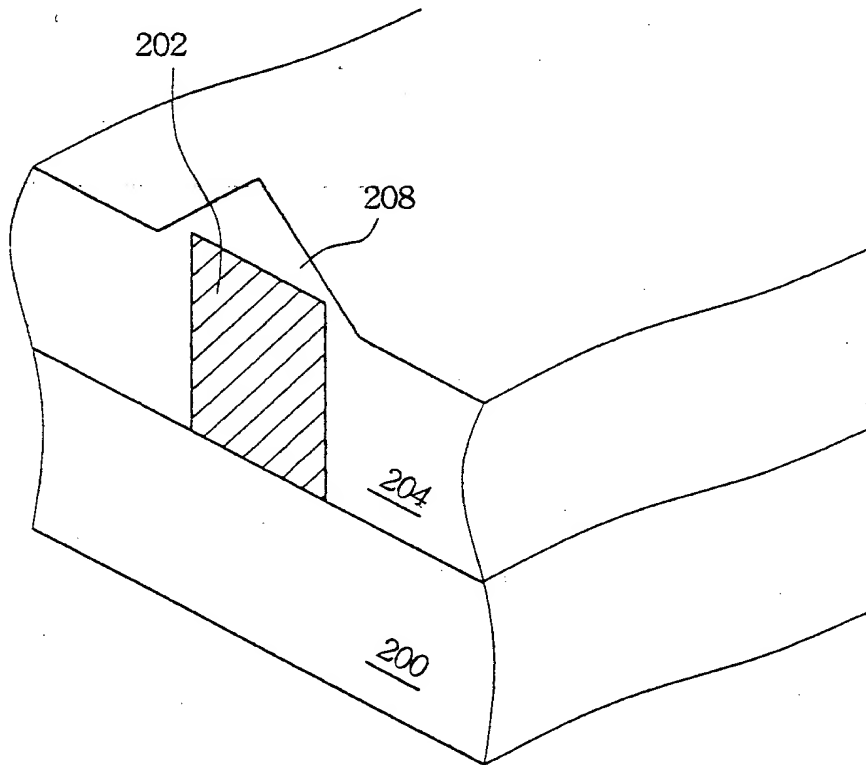
(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式



第 2A 圖

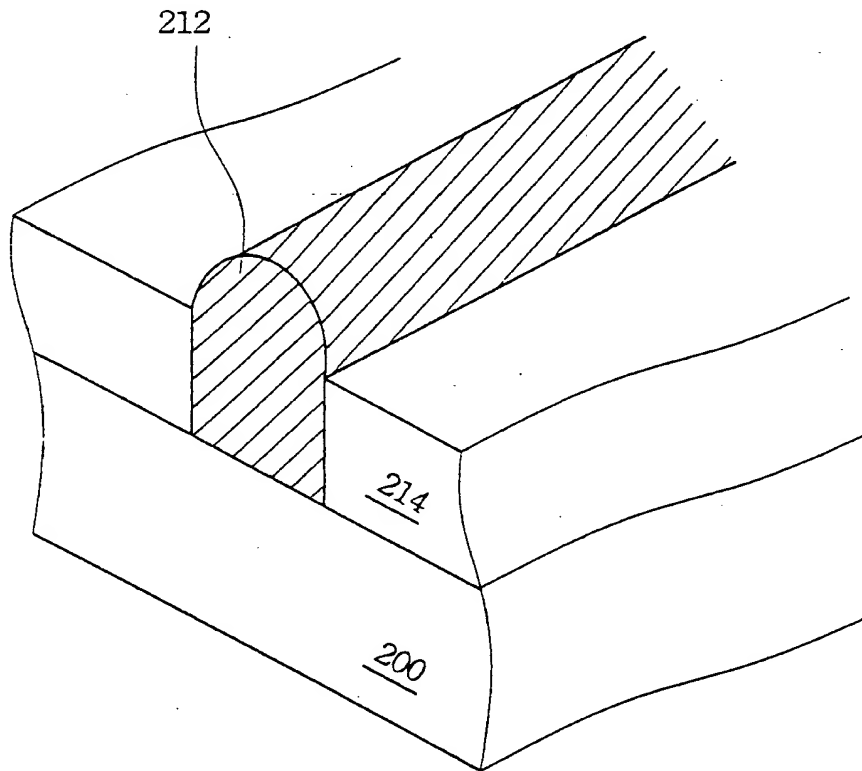
(請先閱讀背面之注意事項再行繪製)

裝

訂

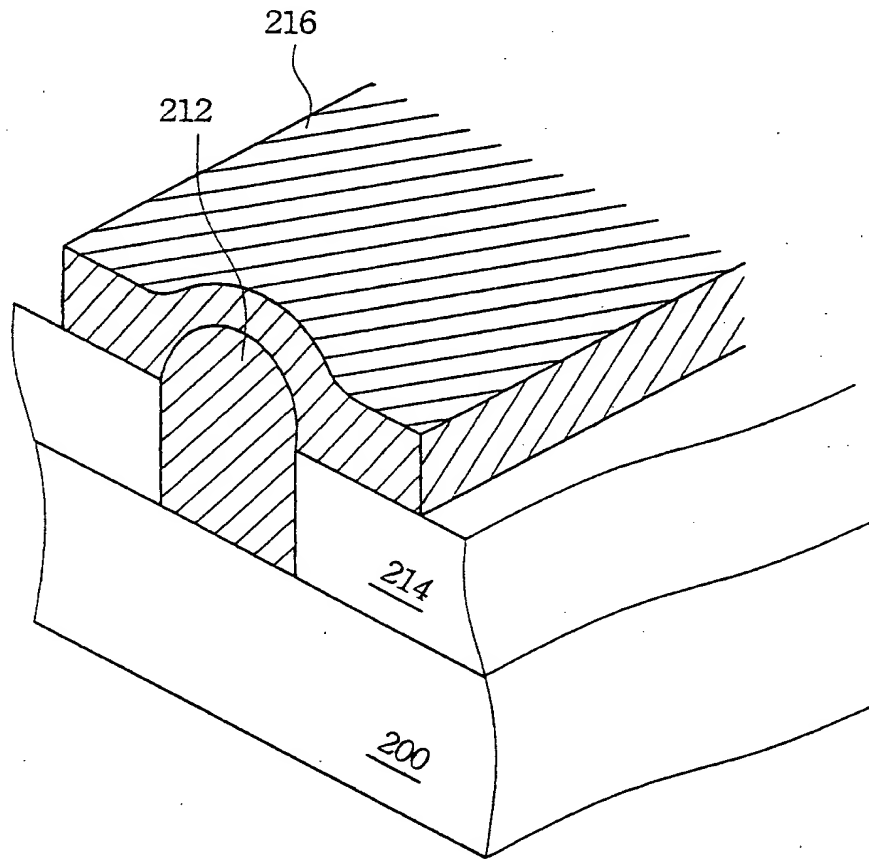
線

圖式



第 2B 圖

圖式



第 2C 圖

(請先閱讀背面之注意事項再行繪製)

裝

訂

線